



XA-9930

PATENT APPLICATION

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re the Application of:

Tatsuo NISHINO et al.

Appln. No.: 10/665,558

Group Art Unit: 2183

Filed: September 22, 2003

For: DATA PROCESSOR

* * *

CLAIM OF PRIORITY UNDER 35 U.S.C. § 119

Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

Sir:


Applicants hereby claim the priority of Japanese
Patent Application No. 2002-276564 filed September 24,
2002, and submit herewith a certified copy of said
application.

Respectfully submitted,

MWS:lmb

Miles & Stockbridge P.C.
1751 Pinnacle Drive, Suite 500
McLean, Virginia 22102-3833
(703) 903-9000

By:


Mitchell W. Shapiro
Reg. No. 31,568

January 7, 2004

日 本 国 特 許 庁
JAPAN PATENT OFFICE

別紙添付の書類に記載されている事項は下記の出願書類に記載されている事項と同一であることを証明する。

This is to certify that the annexed is a true copy of the following application as filed with this Office.

出 願 年 月 日 2 0 0 2 年 9 月 2 4 日
Date of Application:

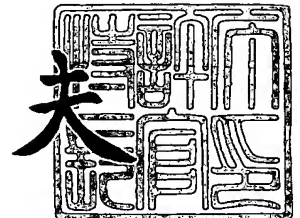
出 願 番 号 特 願 2 0 0 2 - 2 7 6 5 6 4
Application Number:
[ST. 10/C]: [J P 2 0 0 2 - 2 7 6 5 6 4]

出 願 人
Applicant(s): 株式会社ルネサステクノロジ
 株式会社ルネサス北日本セミコンダクタ
 日立デバイスエンジニアリング株式会社

2 0 0 3 年 1 0 月 2 3 日

特許庁長官
Commissioner,
Japan Patent Office

今 井 康 夫



出証番号 出証特 2 0 0 3 - 3 0 8 7 6 1 2

【書類名】 特許願

【整理番号】 H02005021

【提出日】 平成14年 9月24日

【あて先】 特許庁長官殿

【国際特許分類】 G06F 13/00

【発明者】

 【住所又は居所】 北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコンダクタ株式会社内

 【氏名】 西野 辰郎

【発明者】

 【住所又は居所】 千葉県茂原市早野 3 6 8 1 番地 日立デバイスエンジニアリング株式会社内

 【氏名】 若林 守

【発明者】

 【住所又は居所】 北海道亀田郡七飯町字中島 1 4 5 番地 日立北海セミコンダクタ株式会社内

 【氏名】 一圓 亨

【特許出願人】

 【識別番号】 000005108

 【氏名又は名称】 株式会社日立製作所

【特許出願人】

 【識別番号】 000233594

 【氏名又は名称】 日立北海セミコンダクタ株式会社

【特許出願人】

 【識別番号】 000233088

 【氏名又は名称】 日立デバイスエンジニアリング株式会社

【代理人】

【識別番号】 100089071
【弁理士】
【氏名又は名称】 玉村 静世
【電話番号】 03-5217-3960

【手数料の表示】

【予納台帳番号】 011040
【納付金額】 21,000円

【提出物件の目録】

【物件名】 明細書 1
【物件名】 図面 1
【物件名】 要約書 1

【プルーフの要否】 要

【書類名】 明細書

【発明の名称】 半導体データ処理装置

【特許請求の範囲】

【請求項 1】 半導体チップに、中央処理装置と、前記半導体チップの外部とデータの入出力を行なうインタフェースコントローラと、外部バスに接続可能なバスコントローラとを有し、

前記インタフェースコントローラは、インタフェース制御部、F I F O 部、及び転送制御部を有し、

前記インタフェース制御部は、F I F O 部のデータを前記半導体チップの外部に出力し、前記半導体チップの外部から入力したデータを F I F O 部に入力し、

前記転送制御部は、F I F O 部が保有するデータを転送先アドレスを指定して転送する制御と、転送元アドレスを指定して F I F O 部にデータを入力する制御とを行なう半導体データ処理装置。

【請求項 2】 前記転送制御部は、前記 F I F O 部からデータを読み出すのに並行して、そのデータを格納する転送先アドレスを指定する請求項 1 記載の半導体データ処理装置。

【請求項 3】 前記転送制御部は、指定された転送元アドレスからデータを読み出すのに並行して、前記 F I F O 部にデータを入力させる請求項 1 記載の半導体データ処理装置。

【請求項 4】 前記インタフェースコントローラは、U S B インタフェースコントローラである請求項 1 乃至 3 の何れか 1 項記載の半導体データ処理装置。

【請求項 5】 半導体チップに、中央処理装置と、前記半導体チップの外部とデータの入出力を行なうインタフェースコントローラと、前記インタフェースコントローラ用のデータ転送制御装置と、外部バスに接続可能なバスコントローラと、前記バスコントローラを介して外部バスとの間のデータ転送を制御可能な汎用のデータ転送制御装置と、を有し、

前記インタフェースコントローラは、インタフェース制御部、及び F I F O 部を有し、

前記インタフェース制御部は、F I F O 部のデータを前記半導体チップの外部

に出力し、前記半導体チップの外部から入力したデータをFIFO部に入力し、

前記インタフェースコントローラ用のデータ転送制御装置は、FIFO部が保有するデータを転送先アドレスを指定して転送する制御と、転送元アドレスを指定してFIFO部にデータを入力する制御とを行なう半導体データ処理装置。

【請求項6】 前記インタフェースコントローラ用のデータ転送制御装置は、前記FIFO部からデータを読み出すのに並行して、そのデータを格納する転送先アドレスを指定する請求項5記載の半導体データ処理装置。

【請求項7】 前記インタフェースコントローラ用のデータ転送制御装置は、指定された転送元アドレスからデータを読み出すのに並行して、前記FIFO部にデータを入力させる請求項5記載の半導体データ処理装置。

【請求項8】 半導体チップに、中央処理装置と、前記半導体チップの外部とデータの入出力を行なうインタフェースコントローラと、外部バスに接続可能なバスコントローラと、前記バスコントローラを介して前記外部バスとの間のデータ転送を制御可能なデータ転送制御装置と、RAMとを有し、

前記インタフェースコントローラは、インタフェース制御部及び転送制御部を有し、

前記インタフェース制御部は、前記RAMの所定領域に格納されたデータを前記半導体チップの外部に出力し、前記半導体チップの外部から入力したデータを前記RAMの所定領域に入力し、

前記転送制御部は、前記RAMの所定領域に保有されるデータを転送先アドレスを指定して転送する制御と、転送元アドレスを指定して前記RAMの所定領域にデータを入力する制御とを行なう半導体データ処理装置。

【請求項9】 前記転送制御部は、前記RAMの所定領域をFIFO形式でアクセスするためのアドレスを生成する第1アドレス生成部と、前記バスコントローラを介して外部バス経由でアクセスするためのアドレスを生成する第2アドレス生成部とを別々に有する請求項8記載の半導体データ処理装置。

【請求項10】 前記転送制御部は、転送サイクルの前半では前記第1アドレス生成部で指定されたアドレスからデータを読み出し、転送サイクルの後半では前記第2アドレス生成部で指定されたアドレスにデータを書き込む請求項9記

載の半導体データ処理装置。

【請求項 11】 CPUと、

USBコントローラと、

DMAコントローラと、

前記CPU、前記USBコントローラ及び前記DMAコントローラに結合された内部バスと、を有し、

前記USBコントローラは、FIFOバッファと、前記FIFOバッファに格納されたデータの転送制御を実行可能なデータ転送制御装置を含むことを特徴とする半導体基板上に形成されたデータ処理装置。

【請求項 12】 前記データ転送制御装置は、前記FIFOバッファのアドレス指定と前記データ処理装置に結合されるべき外部装置のアドレス指定とを指定可能なアドレス生成機能を有する請求項 11 記載のデータ処理装置。

【請求項 13】 CPUと、

USBコントローラと、

DMAコントローラと、

RAMと、

前記CPU、前記USBコントローラ、前記DMAコントローラ及び前記RAMに結合された内部バスと、を有し、

前記USBコントローラは、前記RAMに格納されたデータの転送制御を実行可能なデータ転送制御装置を含むことを特徴とする半導体基板上に形成されたデータ処理装置。

【請求項 14】 前記データ転送制御装置は、前記RAMのアドレス指定と前記データ処理装置に結合されるべき外部装置のアドレス指定とを指定可能なアドレス生成機能を有する請求項 13 記載のデータ処理装置。

【請求項 15】 半導体チップ上のデータ処理装置であって、

前記データ処理装置に結合されるべき汎用外部バスを介して、前記汎用外部バスに結合されるべき外部装置とデータ転送を実行可能な汎用データ転送制御部と

前記データ処理装置に結合されるべき所定仕様の所定外部バスを介して前記デ

ータ処理装置の外部とデータ転送を実行可能な所定インタフェースのデータ転送制御部とを有し、

前記所定インタフェースのデータ転送制御部は、転送バッファのアドレス指定と前記外部装置のアドレス指定とを指定可能なアドレス指定部を有することを特徴とするデータ処理装置。

【請求項 1 6】 前記転送バッファは、前記所定インタフェースのデータ転送制御部に設けられる請求項 1 5 記載のデータ処理装置。

【請求項 1 7】 前記データ処理装置は、さらに、R A M を有し、
前記転送バッファは、前記 R A M の一部の領域とされる請求項 1 5 記載のデータ処理装置。

【請求項 1 8】 前記 R A M は、前記汎用データ転送制御部のための転送バッファとされる領域をさらに含む請求項 1 7 記載のデータ処理装置。

【請求項 1 9】 前記アドレス指定部は、転送サイクルの前半では指定されたアドレスからデータを読み出し、転送サイクルの後半で指定されたアドレスにデータを書き込むことを特徴とする請求項 1 5 記載のデータ処理装置。

【発明の詳細な説明】

【 0 0 0 1 】

【発明の属する技術分野】

本発明は、外部とデータの入出力を行なうインタフェースコントローラを有する半導体データ処理装置に関し、例えば U S B (Universal Serial Bus) インタフェースコントローラを内蔵するマイクロコンピュータに適用して有効な技術に関する。

【 0 0 0 2 】

【従来の技術】

前記特許文献 1 には DMA (ダイレクト・メモリ・アクセス) コントローラを設けた U S B 周辺マイクロコントローラが記載される。特許文献 2 乃至 7 には DMA コントローラとシリアル／パラレル変換回路を設けたシリアルデータコントローラについて記載される。特許文献 8 には通信コントローラ内に S C I (シリアル・コミュニケーション・インタフェース) コントローラと DMA コントロー

ラを設けた通信制御システムについて記載が有る。

【0 0 0 3】

特許文献 8 には、デュアルアドレスモードを有するデータ転送コントローラについて記載がある。これに記載されたデータ転送コントローラは、F I F O バッファを有する。F I F O バッファは複段のバッファを有するから、デュアルアドレスモードにおいて、バッファ段数を上限として、転送元アドレスから連続してデータを読み出して F I F O に蓄え、蓄えたデータを連続的に転送先アドレスにライトすることができる。デュアルアドレスモードにおいて読み出しと書き込みを交互に行わなくてもよい。したがって、SDRAM（シンクロナス DRAM）に代表されるようにロウアドレス共通のメモリセルをカラムアドレスを順番に切換えて連続アクセスするバーストアクセスのように連続的なデータ入出力動作が可能なデバイスに対するデータ転送効率を向上させることができる。

【0 0 0 4】

【特許文献 1】

特開平 1 0 - 3 2 6 2 5 1 号公報

【特許文献 2】

特開平 4 - 1 6 5 5 5 1 号公報

【特許文献 3】

特開平 4 - 1 6 8 5 5 5 号公報

【特許文献 4】

特開平 4 - 3 5 0 7 5 2 号公報

【特許文献 5】

特開平 4 - 2 5 5 0 5 4 号公報

【特許文献 6】

特開平 4 - 2 2 5 4 5 5 号公報

【特許文献 7】

特開平 5 - 2 8 9 9 7 9 号公報

【特許文献 8】

特開 2 0 0 1 - 1 5 4 9 7 7 号公報

【0005】

【発明が解決しようとする課題】

本発明者はUSBなどのインタフェースコントローラについて検討した。インタフェースコントローラには送受信データを一時的に蓄えるバッファとしてFIFOバッファを備えるものが有る。FIFOバッファとメモリとの間のデータ転送はDMAコントローラにより行なうことができる。DMAコントローラによるデータ転送効率を上げるのに特許文献8のようなFIFOバッファを有する構成を採用すればよい。そのようなインタフェースコントローラとDMAコントローラを採用してインタフェースコントローラからメモリへ受信データを転送する場合、DMAコントローラはインタフェースコントローラのFIFOバッファから受信データを所定単位で連続的にバスに出力させ、出力されたデータをDMAコントローラのFIFOバッファに順次保持し、保持したデータを順次DMAコントローラのFIFOバッファから出力すると共に転送先メモリアドレスを出力してメモリへの書き込みを制御する。

【0006】

しかしながら、その場合にはインタフェースコントローラのFIFOバッファからDMAコントローラのFIFOバッファにデータを移動することが必要になり、処理が直列的となる。転送方向が逆の場合も同様であり、転送すべきデータを転送元から一旦DMAコントローラのFIFOバッファに移してからインタフェースコントローラに与えることになる。これより明らかな如く、連続的なデータの転送効率を向上させるためにDMAコントローラがFIFOバッファを備えても、更に転送効率を向上させる改良の余地のあることが本発明者によって明らかにされた。

【0007】

本発明の目的は、オンチップのインタフェースコントローラと外部との間のデータ転送時間を短縮することができる半導体データ処理装置を提供することにある。

【0008】

本発明の前記並びにその他の目的と新規な特徴は本明細書の記述及び添付図面

から明らかになるであろう。

【0009】

【課題を解決するための手段】

本願において開示される発明のうち代表的なものの概要を簡単に説明すれば下記の通りである。

【0010】

〔1〕半導体データ処理装置は、半導体チップに、中央処理装置と、前記半導体チップの外部とデータの入出力を行なうインタフェースコントローラと、外部バスに接続可能なバスコントローラとを有する。前記インタフェースコントローラは、インタフェース制御部、FIFO部、及び転送制御部を有する。前記インタフェース制御部は、FIFO部のデータを前記半導体チップの外部に出力し、前記半導体チップの外部から入力したデータをFIFO部に入力する。前記転送制御部は、FIFO部が保有するデータを転送先アドレスを指定して転送する制御と、転送元アドレスを指定してFIFO部にデータを入力する制御とを行なう。前記転送制御部による転送制御には汎用のデータ転送制御装置による制御は介在されない。

【0011】

上記手段によれば、FIFO部はインタフェース制御部と転送制御部が共有する。要するに、転送元と転送先の間に介在される汎用DMAコントローラのバッファを、一方の転送元又は転送先とされるインタフェースコントローラのFIFOバッファと共通化し、あたかも転送先から転送元に直接データ転送を行なうことが可能にされている。これはDMAコントローラを単にインタフェースコントローラに専用化しただけではない。FIFO部はインタフェース制御部のバッファも兼ね、それ故に、単位アクセスサイクルで転送元からのリードと転送先へのライトを行なうことが可能になる。これはDMAコントローラによる単なるシングルアドレッシングモードとも異なる。転送先アドレスを指定しながら転送すべきデータをFIFO部から連続的に出力し、且つ、転送元アドレスを指定しながら転送すべきデータをFIFO部に連続的に入力することができる。以上より、オンチップのインタフェースコントローラと外部との間のデータ転送時間を短縮す

ることができる。

【0012】

本発明の具体的な態様として、前記転送制御部は、前記FIFO部からデータを読み出すのに並行して、そのデータを格納する転送先アドレスを指定する。また、別の態様として、前記転送制御部は、指定された転送元アドレスからデータを読み出すのに並行して、前記FIFO部にデータを入力させる。

【0013】

前記インタフェースコントローラは、例えばUSBインタフェースコントローラである。

【0014】

〔2〕別の観点による半導体データ処理装置は、上記半導体データ処理装置に対しインタフェースコントローラ概念から転送制御部を除き、これに代えて、前記インタフェースコントローラ用のデータ転送制御装置を採用する。前記インタフェースコントローラ用のデータ転送制御装置は、FIFO部が保有するデータを転送先アドレスを指定して転送する制御と、転送元アドレスを指定してFIFO部にデータを入力する制御とを行なう。この制御の汎用のデータ転送制御装置は介在されない。

【0015】

具体的な態様として、前記インタフェースコントローラ用のデータ転送制御装置は、前記FIFO部からデータを読み出すのに並行して、そのデータを格納する転送先アドレスを指定する。別の態様として、前記インタフェースコントローラ用のデータ転送制御装置は、指定された転送元アドレスからデータを読み出すのに並行して、前記FIFO部にデータを入力させる。

【0016】

〔3〕別の観点による半導体データ処理装置は、上記半導体データ処理装置に対しインタフェースコントローラ概念からFIFO部を除き、これに代えて、オンチップRAMの一部の領域をFIFOバッファに利用する。このとき、前記インタフェース制御部は、前記RAMの所定領域に格納されたデータを前記半導体チップの外部に所定のプロトコルで出力し、前記半導体チップの外部から所定

のプロトコルで入力したデータを前記RAMの所定領域に入力する。前記転送制御部は、前記RAMの所定領域に保有されるデータを転送先アドレスを指定して転送する制御と、転送元アドレスを指定して前記RAMの所定領域にデータを入力する制御とを行なう。

【0017】

オンチップRAMをFIFOバッファに利用することにより、FIFO部に比べバッファ段数の上限に対する制限が緩和される。

【0018】

具体的な態様として、前記転送制御部は、前記RAMの所定領域をFIFO形式でアクセスするためのアドレスを生成する第1アドレス生成部と、前記バスコントローラを介して外部バス経由でアクセスするためのアドレスを生成する第2アドレス生成部とを別々に有する。このとき、前記転送制御部は、転送サイクルの前半では前記第1アドレス生成部で指定されたアドレスからデータを読み出し、転送サイクルの後半では前記第2アドレス生成部で指定されたアドレスにデータを書き込む。

【0019】

〔4〕本発明の更に別の観点によるデータ処理装置は、CPUと、USBコントローラと、DMAコントローラと、前記CPU、前記USBコントローラ及び前記DMAコントローラに結合された内部バスと、を有し、前記USBコントローラは、FIFOバッファと、前記FIFOバッファに格納されたデータの転送制御を実行可能なデータ転送制御装置を含む。例えば前記データ転送制御装置は、前記FIFOバッファのアドレス指定と前記データ処理装置に結合されるべき外部装置のアドレス指定とを指定可能なアドレス生成機能を有する。

【0020】

更に別の態様によるデータ処理装置は、CPUと、USBコントローラと、DMAコントローラと、RAMと、前記CPU、前記USBコントローラ、前記DMAコントローラ及び前記RAMに結合された内部バスと、を有し、前記USBコントローラは、前記RAMに格納されたデータの転送制御を実行可能なデータ転送制御装置を含む。例えば前記データ転送制御装置は、前記RAMのアドレス

指定と前記データ処理装置に結合されるべき外部装置のアドレス指定とを指定可能なアドレス生成機能を有する。

【0021】

更に別の態様によるデータ処理装置は、半導体チップ上のデータ処理装置であって、前記データ処理装置に結合されるべき汎用外部バスを介して、前記汎用外部バスに結合されるべき外部装置とデータ転送を実行可能な汎用データ転送制御部と、前記データ処理装置に結合されるべき所定仕様の所定外部バスを介して前記データ処理装置の外部とデータ転送を実行可能な所定インタフェースのデータ転送制御部とを有し、前記所定インタフェースのデータ転送制御部は、転送バッファのアドレス指定と前記外部装置のアドレス指定とを指定可能なアドレス指定部を有する。前記転送バッファは、例えば前記所定インタフェースのデータ転送制御部に設けられる。前記データ処理装置は、さらに、RAMを有し、前記転送バッファは、前記RAMの一部の領域とされてよい。前記RAMは、例えば前記汎用データ転送制御部のための転送バッファとされる領域をさらに含む。前記アドレス指定部は、例えば転送サイクルの前半では指定されたアドレスからデータを読み出し、転送サイクルの後半で指定されたアドレスにデータを書き込む。

【0022】

【発明の実施の形態】

図2には半導体データ処理装置の一例に係るデータプロセッサ1の全体が概略的に示される。同図に示されるデータプロセッサ1は、例えばCMOS集積回路製造技術により単結晶シリコンのような1個の半導体基板（半導体チップ）に形成される。特に制限されないが、データプロセッサ1はPC（パーソナルコンピュータ）等のコンピュータシステムにおける周辺機器（例えばプリンタやスキャナ等）に組み込まれてこれを制御する。

【0023】

データプロセッサ1は、内部バス2に接続された中央処理装置（CPU）3、データトランスファコントローラ（DTC）4、汎用データ転送制御部とされるデータ転送制御装置（DMAC）5、CPU3の処理プログラムなどを格納するプログラムメモリであるリードオンリメモリ（ROM）7、CPU3の作業領域

並びにデータの一時記憶に利用されるランダムアクセスメモリ（RAM）6、除算器8、ダイナミックシフトユニット11、バスコントローラ9、及び所定インタフェースのデータ転送制御部とされるUSBインタフェースコントローラ15を備える。

【0024】

前記内部バス2はバスコントローラ9を介して周辺バス12にインタフェースされ、周辺バス12には、周辺回路として、前記割込みコントローラ13、ウォッチドッグタイマ（WDT）14、USBインタフェースコントローラ15、入出力ポート（PRT）16a～16n、及びタイマカウンタ（TMR）やシリアルコミュニケーションインタフェースコントローラ（SCI）等のその他の周辺回路17が接続される。データプロセッサ1はその他にクロック発生回路（CPG）20及びPLL回路等21を有する。前記USBインタフェースコントローラ15は、USBホストとの間で所定のプロトコルにしたがったシリアル・インタフェース制御機能を有し、更に、それ専用のDMA転送制御機能が付加されている。言い換えるならば、前記USBインタフェースコントローラ15は、USBホストと間において、ユニバーサル・シリアル・バス（USB）の様な所定インタフェース仕様の所定外部バスを介してデータ転送実行する機能を有する。

【0025】

前記内部バス2及び周辺バス12は夫々、データバス、アドレスバス及びコントロールバス（制御信号バス）を含んでいる。前記周辺バス2は入出力ポート16a～16cを介して外部バス25とインタフェースされ、内部バス2はバスコントローラ9を介して周辺バス12、更には前記入出力ポート16a～16cを介して前記外部バス25とインタフェース可能にされる。その他の入出力ポート16d～16nは周辺回路のための外部インタフェースバッファ等として機能される。

【0026】

データプロセッサ1においてバスマスタモジュールは、前記CPU3、DMAC5及びUSBインタフェースコントローラ15である。前記CPU3は、例えばROM5から命令をフェッチし、取り込んだ命令を解読する命令制

御部と、命令制御部による命令解読結果に従って汎用レジスタや算術論理演算器などを用いて演算処理を行なう実行部とを有する。DMA C 5はCPU 3により内部バス 2 を介してデータ転送条件が初期設定され、内蔵周辺回路や外部からのデータ転送要求に応答して、データプロセッサ 1 の内部で、或はデータプロセッサ 1 の内部と外部との間のデータ転送を制御する。DTC 4 は内蔵周辺回路や外部からのデータ転送要求に応答して、データプロセッサ 1 の内部で、或はデータプロセッサ 1 の内部と外部との間のデータ転送を制御する。データ転送制御条件はRAM 6などに格納されたポインタ構造の転送制御データを参照して取得する。前記USBインタフェースコントローラ 15 は、特に制限されないが、FIFO部を有し、FIFO部とデータプロセッサ 1 の外部との間の専用のDMA転送制御機能を有する。データ転送制御条件はCPU 3により内部バス 2 を介して設定される。前記USBインタフェースコントローラ 15 のDMA転送制御機能による転送元及び転送先を指定する為のアドレス信号は内部バス 2 及びバスコントローラ 9 を経由して外部バス 25 に伝達される。

【0027】

前記データプロセッサ 1 にリセット信号が与えられると、CPU 3等のオンチップ回路モジュールはリセット状態とされる。このリセット信号によるリセット状態が解除されると、CPU 3は所定のスタートアドレスから命令をリードし、プログラムの実行を開始し、それに従って、例えば、RAM 6からデータをフェッチし、フェッチしたデータの演算処理を行い、処理結果に基づいて、USBインタフェースコントローラ 15等を使用して外部との間のデータ入出力等を行ってプリンタ制御などの所定の機器制御を行う。

【0028】

図 1 には前記USBインタフェースコントローラ 15 及びバスコントローラ 9の詳細が例示される。前記内部バス 2 として内部アドレスバス及びコントロールバス 2Aと内部データバス 2Dが例示される。前記外部バス 25 として外部アドレスバス及びコントロールバス 25Aと外部データバス 25Dが例示され、そこには代表的に示されたSDRAM 27が接続される。同図において周辺バス 12、入出力ポート 16a～16n及びその他の一部の回路モジュールは図示が省略

されている。

【0029】

前記バスコントローラ9は、バスアービタ30によりバスマスタモジュールであるCPU3、DMAC5、DTC4、及びUSBインタフェースコントローラ15との間のバス権要求の競合に対して調停を行う。実際には外部バスマスタによるバス権要求についても考慮するが、ここでは説明を簡単にするために外部バスマスタについては考慮しないこととする。USBBREQ、DMACBREQ、DTCBREQはバス権要求信号、USBBACK、BACK2、DMACBACK、DTCBACK、CPUBACKはバス権承認信号である。

【0030】

前記バスアービタ30は、CPU3以外のバスマスタモジュール（DTC4、DMAC5、USBインタフェースコントローラ15）からのバス権要求信号（DTCBREQ、DMACBREQ、USBBREQ）に対してバス権を選択的に与えるための調停を行う。バス権要求信号をアサートしたバスマスタモジュールは、バスアービタ30から返されるバス権承認信号BACK1、BACK2、BACK3のアサートにより、バス権獲得を認識し、バスの使用を開始する。バスを使用していたバスマスタモジュールはバスの使用を終了すると、バス権要求信号をネゲートする。前記バスアービタ30は、全てのバス権要求信号USBBREQ、DMACBREQ、DTCBREQのネゲート状態においてCPU3へのバス権承認信号CPUBACKをアサートする。それによって、CPU3はバス権を取得して、バスを利用してデータの処理を行う。このような制御は、バスアービタ30がCPU3に優先的にバス権を与えることになるので、CPU3による高速なデータ処理を可能にする。

【0031】

一方、図示はされないが、バスアービタ30からCPU3に対してバス権要求信号を出力するように構成できる。この場合、データプロセッサのチップ内に、CPU3以外に他のCPUが存在するようなマルチCPU構成の場合に有効である。すなわち、他の中央処理装置がバスアービタ30に対してバス権要求信号を出力した場合、上記バスアービタ30がCPU3にバス要求信号を出力して、C

P U 3 からバス権を解放させる。その後、上記バスアービタ 3 0 が他の C P U にバス権承認信号を出力してバス権を与える。他の C P U のデータ処理が完了した場合、バスアービタ 3 0 は C P U 3 にバス権承認信号 C P U B A C K をアサートする。それによって、バス権が C P U 3 に戻される。この場合、他の C P U にも選択的にバス権を与えることができるので、C P U 3 のデータ処理と他の C P U のデータ処理とを効率よく制御することができる。

【0032】

バスアービタ 3 0 の調停によりバス権が与えられたバスマスタモジュールはアドレス信号やアクセス制御信号などのバスコマンドをバス 2 A に出力する。バスコントローラ 9 はそのバスコマンドの内容に基づいて、アクセスサイクル数及びデータ幅等を決定してバスアクセス制御及びメモリアクセス制御等を行なう。前記バスアクセス制御及びメモリアクセス制御等のために、アドレスエリア毎にマッピングされるデバイスのアクセスデータサイズ及びアクセス速度の情報等がパワーオンリセット直後に C P U 3 により初期設定されており、内部アドレスバス及びコントロールバス 2 A 等から供給されるアクセスアドレスのエリアに応じて外部バス等に対するバス制御（デバイスアドレスの出力、データアクセスサイズ、ウェイトステート挿入等）を行う。

【0033】

前記 U S B インタフェースコントローラ 1 5 は、インタフェース制御部 3 1、F I F O 部 3 2、及び転送制御部 3 3 を有する。

【0034】

F I F O 部 3 2 は記憶回路 3 5 と F I F O カウンタ 3 6 によって構成される。記憶回路 3 5 はデータバス 2 D のビット数に応じたデータ幅でデータの並列入出力可能な記憶段を複数段備えて構成される。F I F O カウンタ 3 6 は読み出し動作の指示に回答して前記記憶段を指定するリードポイントと、書き込み動作の指示に回答して前記記憶段を指定するライトポイントとによって構成される。リードポイントは記憶段数に応ずるビット数の読み出し用リングカウンタで構成され、ライトポイントは記憶段数に応ずるビット数の書き込み用リングカウンタで構成される。

【 0 0 3 5 】

前記インタフェース制御部 3 1 は、UDC (USB デバイスコントロール) コア 3 8、制御回路 3 9、及び制御レジスタ 4 0 から成る。UDC コア 3 8 はパーソナルコンピュータ等に搭載される USB ホスト 4 1 に USB ケーブルで接続され、USB ホスト 4 1 からのコマンドに応答して所定のプロトコルでデータのシリアル送受信制御を行なう。USB ホスト 4 1 からの受信データは F I F O 部 3 2 に送られ、USB ホスト 4 1 への送信データは F I F O 部 3 2 から供給される。制御回路 3 9 は F I F O 部 3 2 に対するリード・ライト制御と、転送制御部 3 3 に対する転送要求の制御を行なう。

【 0 0 3 6 】

インタフェース制御部 3 1 による F I F O 部 3 2 のリード・ライト制御は、制御信号 F C N T L によりリード要求又はライト要求を F I F O 部 3 2 に与える制御である。これによって F I F O 部 3 2 は、リード要求が与えられるとリードポインタが指す記憶段の記憶情報を読み出してインタフェース制御部 3 1 に与え、ライト要求が与えられるとインタフェース制御部 3 1 からの情報をライトポインタが指す記憶段に格納する。

【 0 0 3 7 】

インタフェース制御部 3 1 による転送制御部 3 3 への転送要求の制御は、F I F O 部 3 2 のエンプティーフル状態に応じて制御信号 T R R E Q で指示される DMA 転送要求と、制御信号 T R E N D で指示される DMA 転送の終了要求である。例えば、USB ホスト 4 1 からの受信動作において F I F O 部 3 2 がフル状態であれば F I F O 部 3 2 のデータを S D R A M 2 7 に転送する要求を出し、USB ホスト 4 5 1 への送信動作においてエンプティーフル状態であれば S D R A M 2 7 から F I F O 部 3 2 にデータを転送する要求を出す。インタフェース制御部 3 1 はデータの送受信動作において F I F O カウンタ 3 6 の値を参照してエンプティーフル状態を判別する。受信動作において F I F O 部 3 2 のフル状態から S D R A M 2 7 へのデータ転送によりエンプティーフル状態になるとき DMA 転送の終了を指示し、また、送信動作において F I F O 部 3 2 のエンプティーフル状態から F I F O 部 3 2 へのデータ転送によりフル状態になるとき DMA 転送の終了を指示

する。

【0038】

前記転送制御部33は制御回路43及びアドレス生成回路44を有する。アドレス生成回路44はデータ転送に際して転送元又は転送先的一方となるSDRAM27のアドレスを生成する。アドレス生成のためにアドレス生成回路44は、転送回数を計数するための転送回数レジスタTCR、転送元アドレスを生成するソースアドレスレジスタSAR、転送先アドレスを生成するデスティネーションアドレスレジスタDAR、転送制御情報を保持する制御レジスタCHRを有し、加算器ADDにより、転送動作毎に前記レジスタSAR、DAR、TCRのインクリメント・デクリメントを行なってカウンタ動作させる。これによってDMA転送制御が行なわれる。前記レジスタSAR、DAR、TCR、CHRに対する初期設定はCPU3で行なわれる。

【0039】

制御回路43は前記信号TRREQによるDMA転送要求及び信号TRENDによるDMA転送終了要求に応じて、バスコントローラ9に対するバス権制御と、アドレス生成部44によるSDRAM27のアクセスアドレス生成制御と、FIFO部32に対するバス2側からのリード・ライト制御とを行なう。

【0040】

まず、前記バス権制御として、制御回路43はインタフェース制御部31より信号TRREQによりDMA転送要求があると、バスアービタ30に信号USBREQをアサートし、信号USBBACKのアサートが返されることによってバス権を獲得する。バス権獲得後、必要なDMA転送制御を行い、転送終了により、信号USBREQをネゲートしてバス権を放棄する。

【0041】

バス権を獲得したとき、制御回路43は前記SDRAM27のアクセスアドレス生成制御とFIFO部に対するリード・ライト制御を行なう。信号TRREQによりFIFO部32からSDRAM27への転送が要求されているとき、信号FCNTによりFIFO部32のリードポイントを制御してFIFO部32からバス2Dにデータを出力し、これに並行してアドレス生成部44からバス2A

に SDRAM27 へのライト動作の指示とライトアドレスを出力する。信号 TRREQ により SDRAM27 から FIFO部32 への転送が要求されているとき、アドレス生成部44 からバス2A に SDRAM27 へのリード動作の指示とリードアドレスを出力してバス2D にデータを読み出し、これに並行して信号 FCNT により FIFO部32 のライトポインタを制御してバス2D のデータを FIFO部32 にライトする。

【0042】

図3 には USB インタフェースコントローラ15 による FIFO部32 から SDRAM27 へのデータ転送動作タイミングが示され、図4 には USB インタフェースコントローラ15 による SDRAM27 から FIFO部32 へのデータ転送動作タイミングが示される。それらを参照しながら、USB インタフェースコントローラ15 の送受信動作を説明する。

【0043】

USB ホスト41 から USB ケーブルを介してデータが転送されると、そのデータが FIFO部32 に順次格納される。FIFO部32 がフル状態になると、インタフェース制御部31 は転送制御部33 に、信号 TRREQ により FIFO部32 から SDRAM27 への転送リクエストを出力する（図3 の TRREQ アサート）。

【0044】

この転送リクエストに応答する転送制御部33 の制御回路43 は、バスアービタ30 に信号 USBREQ をアサートしてバス権を要求する（図3 の USBREQ アサート）。バスアービタ30 はバス権を調停し、信号 USBACK をアサートすることによって USB インタフェースコントローラ15 にバス権を与える（図3 の USBACK アサート）。バス権を獲得すると、制御回路43 は、信号 FCNTS にて FIFO部32 を制御して FIFO部32 のデータをデータバス2D に出力させる。また、制御回路43 は信号 TCNT によりアドレス生成回路44 を制御して SDRAM27 の転送先のアドレス及びライト制御信号をアドレスバス及びコントロールバス2A に出力させる。FIFO部32 のリードポインタのアドレスによる読み出し動作と、アドレス生成回路44 のレジスタD

ARのアドレスによる書き込み動作は並行され、双方のアドレスインクリメントも制御回路43により同期され、それによるデータ転送動作が所定回数繰返されて、受信データがSDRAM27に転送される。図3においてFIFOカウンタ36の値は例えば0, 1, 2とインクリメントされ、これをアドレスとするデータD0, D1, D2がFIFO部32からバス2Dに出力され、これに並行して、バス2AにSDRAM27のアドレスDA0, DA1, DA2が順次出力され、これによってバス2DのデータD0, D1, D2が順次SDRAM27に書き込まれる。

【0045】

比較例として例えばFIFO部32からSDRAM27へのデータ転送を汎用のDMAC5などを用いて行なう場合には、特許文献8に記載のデータバッファ内蔵のDMACを用いてデータブロック転送を行なっても、当該比較例を示す図5に例示されるように、FIFO部32からDMAC5のデータバッファへの転送動作と、DMAC5のデータバッファからSDRAM27への転送動作が直列的となり、転送動作時間が長くなる。図3の動作タイミングは図5に対して時間Tmだけ転送動作時間が短縮される。

【0046】

一方、USBホスト41への送信処理において、FIFO部32内のデータがエンプティ状態になると、インタフェース制御部31から転送制御部33の制御回路43に信号TRREQによりSDRAM27からFIFO部32への転送リクエストを出力する（図4のTRREQアサート）。

【0047】

この転送リクエストに応答する転送制御部33の制御回路43は、バスアービタ30に信号USBBREQをアサートしてバス権を要求する（図4のUSBBREQアサート）。バスアービタ30はバス権を調停し、信号USBBACKをアサートすることによってUSBインタフェースコントローラ15にバス権を与える（図4のUSBBACKアサート）。バス権を獲得すると、制御回路43は信号TCNTによりアドレス生成回路44を制御してSDRAM27の転送元のアドレス及びリード制御信号をアドレスバス及びコントロールバス2Aに出力さ

せる。また、制御回路 43 は、信号 F C N T S にて F I F O 部 32 を制御して F I F O 部 32 にデータバス 2D のデータを入力させる。F I F O 部 32 のライトポインタのアドレスによる書き込み動作と、アドレス生成回路 44 のレジスタ S A R のアドレスによる読み出し動作は並行され、双方のアドレスインクリメントも制御回路 43 により同期され、それによるデータ転送動作が所定回数繰返されて、送信データが S D R A M 27 から F I F O 部 32 に転送される。図 4 においてバス 2A に S D R A M 27 のアドレス S A 0, S A 1, S A 2 が順次出力され、これによって S D R A M 27 からバス 2D にデータ D 0, D 1, D 2 が順次出力され、これに並行して、F I F O カウンタの値は例えば 0, 1, 2 とインクリメントされ、これをアドレスとして、バス 2D のデータ D 0, D 1, D 2 が F I F O 部 32 に入力される。

【0048】

比較例として例えば S D R A M 27 から F I F O 部 32 へのデータ転送を汎用の D M A C 5 などを用いて行なう場合には、特許文献 8 に記載のデータバッファ内蔵の D M A C を用いてデータブロック転送を行なっても、当該比較例を示す図 6 のように、S D R A M 27 から D M A C 5 のデータバッファへの転送動作と、D M A C 5 のデータバッファから F I F O 部 32 への転送動作が直列的となり、転送動作時間が長くなる。図 4 の動作タイミングは図 6 に対して時間 T_n だけ転送動作時間が短縮される。

【0049】

図 7 にはデータプロセッサの別の例が示される。同図に示されるデータプロセッサは転送制御部 33 を U S B インタフェースコントローラ 15 から独立させる。このとき、転送制御部 33 の制御回路 43 は、複数の U S B インタフェースコントローラ 15、15B に対して選択的に同様の D M A 転送制御を行なうことが可能になる。要するに、複数個の U S B インタフェースコントローラがオンチップされる場合に、それらに転送制御部 33 を共有させることが可能になり、回路規模に縮小に寄与する。また、データプロセッサの外部に配置した U S B インタフェースコントローラに対しても同様のデータ転送制御を行なうことができる。或は、U S B インタフェースの仕様がバージョンアップにより変更された場合に

も転送制御部33の修正が容易になる。

【0050】

図8にはデータプロセッサの更に別の例が示される。同図に示されるUSBインタフェースコントローラ15Aは、図1のFIFO部32の記憶回路としてRAM6の一部の記憶領域(FIFOエリア)6Aを用いる。

【0051】

この変更に応じて転送制御部33AはFIFOエリア6Aのアドレス生成部50を備える。アドレス生成部50はFIFOカウンタ36とFIFOエリア6Aアクセス用のリードアドレスレジスタRARfとライトアドレスレジスタWARfを有する。FIFOカウンタ36はFIFOエリア6Aの記憶段数に相当するビット数を有し、前述同様のリードポインタとライトポインタを構成する。リードアドレスレジスタRARfとライトアドレスレジスタWARfの初期値はFIFOエリア6Aの先頭アドレスがCPU3により初期設定される。リードアドレスレジスタRARfの下位側アドレスはFIFOカウンタ36のリードポインタの値で置換される。ライトアドレスレジスタWARfの下位側アドレスはFIFOカウンタ36のライトポインタの値で置換される。

【0052】

また、インタフェース制御部31AはUSBホスト41との間の送受信処理においてFIFOエリア6Aをアクセスする時点からバス権を取得する制御を行わなければならない。即ち、インタフェース制御部31AはUSBホスト41と送受信を行なうとき、先ず、FIFOエリア6Aのリードライトを行なうための転送要求を信号TRREQで転送制御部33Aに行ない、転送制御部33Aは信号USBBREQにてバス権を要求し、信号USBBACKのアサートにてバス権を獲得する。バス権獲得はインタフェース制御部31Aにも通知され、これによってインタフェース制御部31Aはアドレス生成部50にFIFOカウント動作をさせ、FIFOエリア6Aに対する受信データの書き込み、或はFIFOエリア6Aから送信データのリードを行なう。上記同様にインタフェース制御部31AはFIFOカウンタ36の値に基づいてFIFOエリアがフル状態又はエンプティ状態になったかを監視する。受信動作においてフル状態が検出されると

、信号TRREQによりFIFOエリア6AからSDRAM27へのデータ転送を転送制御部33Aの制御回路43Aに要求し、これによってアドレス生成部50がFIFOエリア6Aのリードアドレスを出力し、アドレス生成部44がSDRAM27のライトアドレスを生成して、上述と同様のDMA転送が制御される。送信動作においてエンプティ状態が検出されると、信号TRREQによりSDRAM27からFIFOエリア6Aへのデータ転送を転送制御部33Aに要求し、これによって、アドレス生成部44がSDRAM27のリードアドレスを出力し、アドレス生成部50がFIFOエリア6Aのライトアドレスを出力し、上述と同様のDMA転送が制御される。

【0053】

図9には図8の構成においてFIFOエリア6AからSDRAM27へのデータ転送タイミングが例示される。図9においてFIFOカウンタの値は例えば0, 1, 2とインクリメントされ、これをアドレスとするFIFOエリア6AからデータD0, D1, D2がバス2Dに出力される。この出力動作の各メモリサイクルの前半ではFIFOエリア6Aに対するリードアドレスSA0, SA1, SA2がバス2Aに出力され、後半ではSDRAM27に対するライトアドレスDA0, DA1, DA2が出力される。これにより、バス2Dに出力されたデータD0, D1, D2はそれと同じメモリサイクルでSDRAM27に書き込まれる。特に図示はしないがSDRAM27からFIFOエリア6Aへのデータ転送も上記と同じように1メモリサイクル内でSDRAMからのリードとFIFOエリア6Aへのライトアクセスを実現することができる。

【0054】

RAM6の一部をFIFOエリア6Aに用いることにより、FIFO部32に比べてバッファ段数の上限に対する制限が緩和される。即ち、図8のFIFOカウンタ36のビット数を可変とし、FIFOエリア6Aに割当てバッファ段数に応じてFIFOカウンタ36のビット数を決定し、FIFOカウンタ36の計数値をレジスタRAR, WARの下位側の与えるようにすれば、FIFOの記憶容量を比較的自由に設定可能になる。

【0055】

以上本発明者によってなされた発明を実施形態に基づいて具体的に説明したが、本発明はそれに限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは言うまでもない。

【0056】

例えば、インタフェースコントローラはUSBに限定されず、その他のシリアルインタフェース、パラレルインタフェース、更には通信コントローラ若しくは通信モジュール等であってもよい。汎用のデータ転送制御装置としてDMACとDTCの双方を備えることに限定されない。逆に、更に別のDMACを追加してもよい。また、外部バスに接続されるメモリはSDRAMに限定されず、DRAM、MSRAM、フラッシュメモリ等であってもよい。

【0057】

【発明の効果】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば下記の通りである。

【0058】

すなわち、FIFO部をインタフェース制御部と転送制御部に共有させる。これはDMAコントローラを単にインタフェースコントローラに専用化しただけではない。FIFO部はインタフェース制御部のバッファも兼ね、それ故に、単位アクセスサイクルで転送元からのリードと転送先へのライトを行なうことが可能になる。転送先アドレスを指定しながら転送すべきデータをFIFO部から連続的に出力し、且つ、転送元アドレスを指定しながら転送すべきデータをFIFO部に連続的に入力することができる。以上より、オンチップのインタフェースコントローラと外部との間のデータ転送時間を短縮することができ、データ処理効率の向上に寄与する。

【図面の簡単な説明】

【図1】

USBインタフェースコントローラ及びバスコントローラの詳細を例示するブロック図である。

【図2】

半導体データ処理装置の一例に係るデータプロセッサの全体を概略的に示すブロック図である。

【図 3】

USB インタフェースコントローラによる FIFO 部から SDRAM へのデータ転送動作を例示するタイミングチャートである。

【図 4】

USB インタフェースコントローラによる SDRAM から FIFO 部へのデータ転送動作を例示するタイミングチャートである。

【図 5】

FIFO 部から SDRAM へのデータ転送を汎用の DMA C を用いて行なう場合に特許文献 8 に記載のデータバッファ内蔵の DMA C を用いてデータブロック転送を行なう比較例としてのデータ転送動作を例示するタイミングチャートである。

【図 6】

SDRAM から FIFO 部へのデータ転送を汎用の DMA C を用いて行なう場合に特許文献 8 に記載のデータバッファ内蔵の DMA C を用いてデータブロック転送を行なう比較例としてのデータ転送動作を例示するタイミングチャートである。

【図 7】

データプロセッサの別の例を示すブロック図である。

【図 8】

データプロセッサの更に別の例を示すブロック図である。

【図 9】

図 8 の構成において FIFO エリアから SDRAM へのデータ転送動作を示すタイミングチャートである。

【符号の説明】

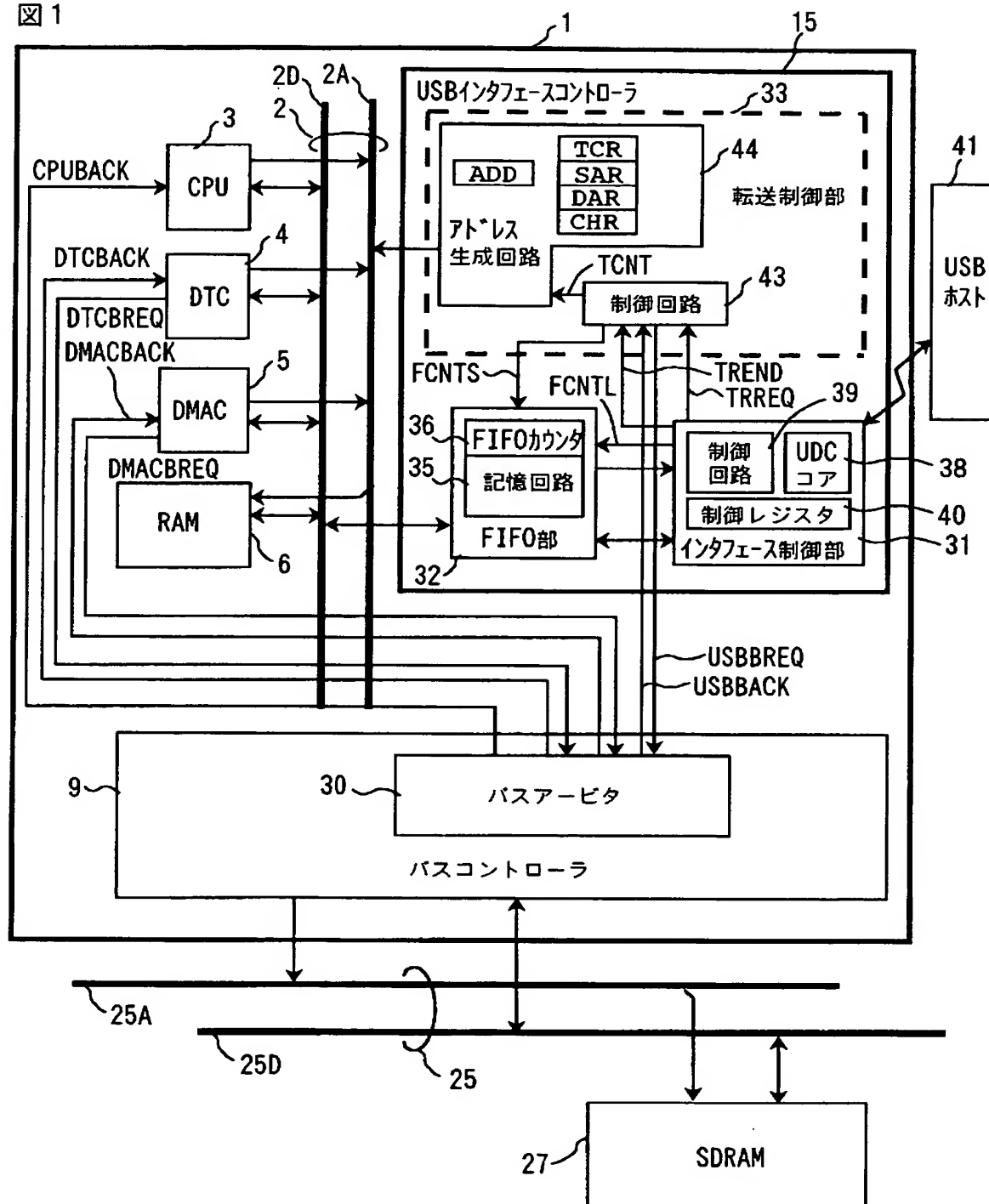
- 1 データプロセッサ
- 2 内部バス
- 3 CPU

- 4 D T C
- 5 D M A C
- 6 R A M
- 6 A F I F O エ リ ア
- 9 バスコントローラ
- 1 5、1 5 A、1 5 B U S B インタフェースコントローラ
- 2 5 外部バス
- 2 7 S D R A M
- 3 0 バスアービタ
- 3 1、3 1 A インタフェース制御部
- 3 2 F I F O 部
- 3 3、3 3 A 転送制御部
- 3 5 記憶回路
- 3 6 F I F O カウンタ
- 3 8 U D C コア
- 3 9、3 9 A 制御回路
- 4 3、4 3 A 制御回路
- 4 4 アドレス生成回路
- 5 0 アドレス生成回路

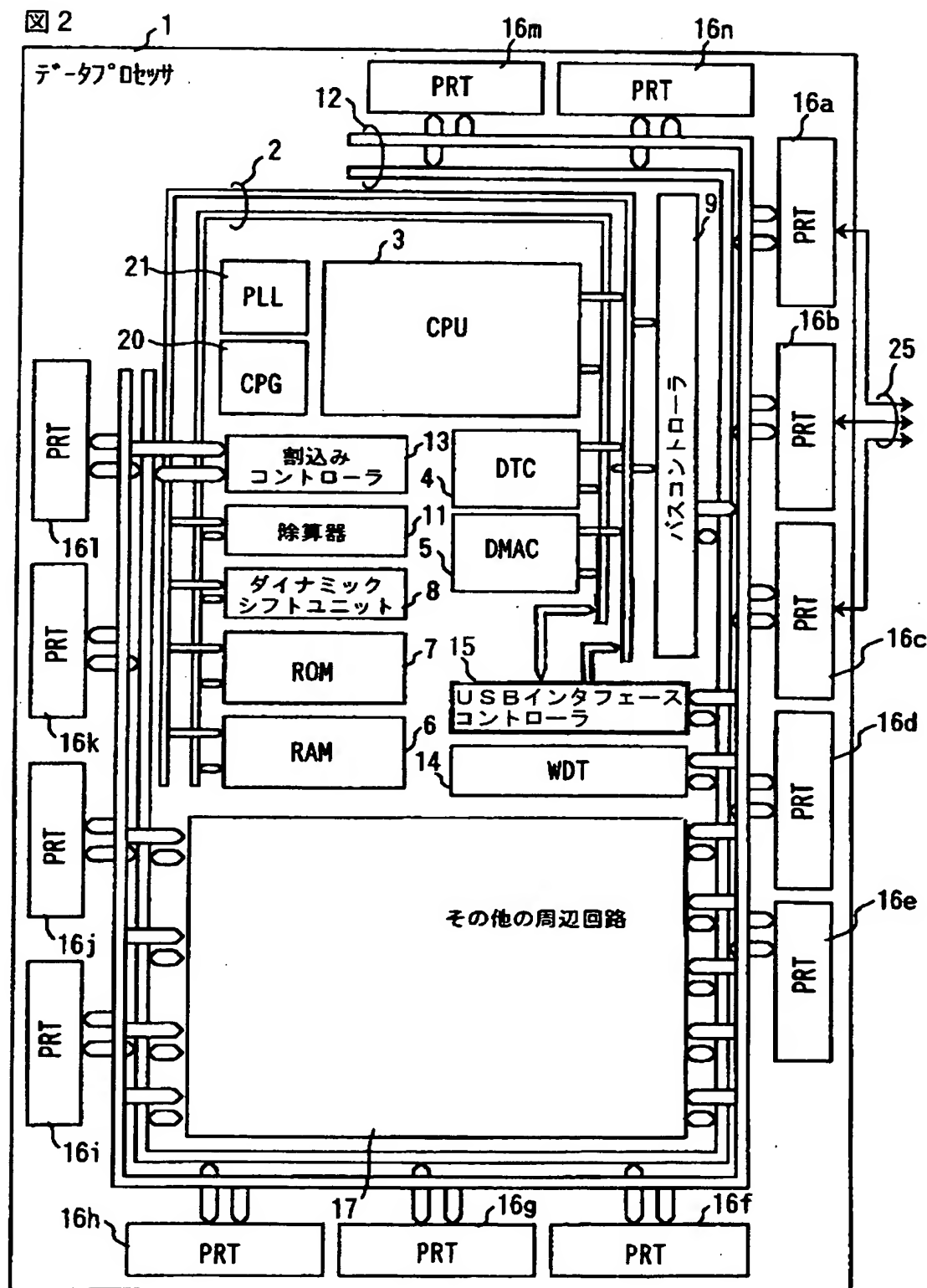
【書類名】 図面

【図1】

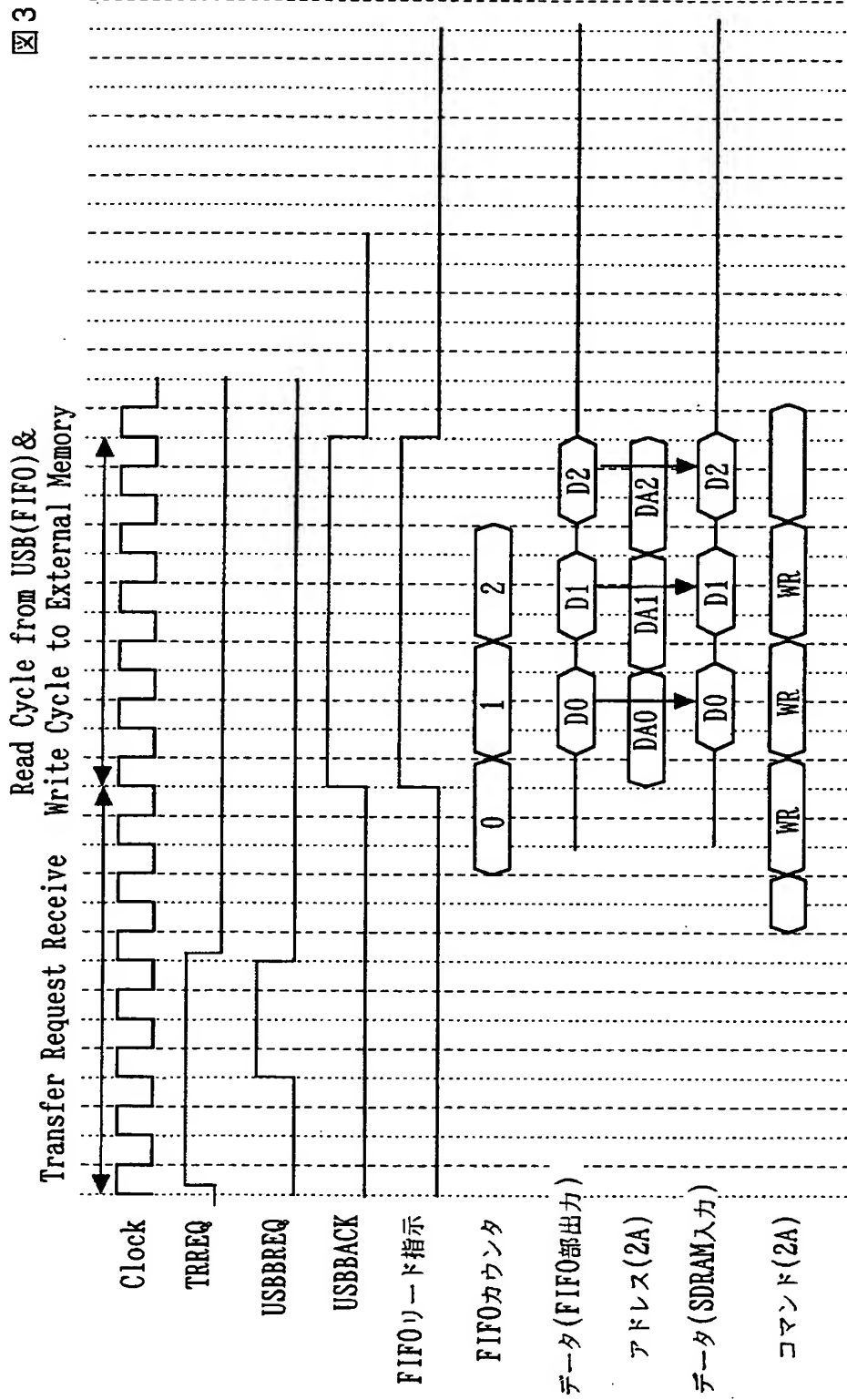
図1



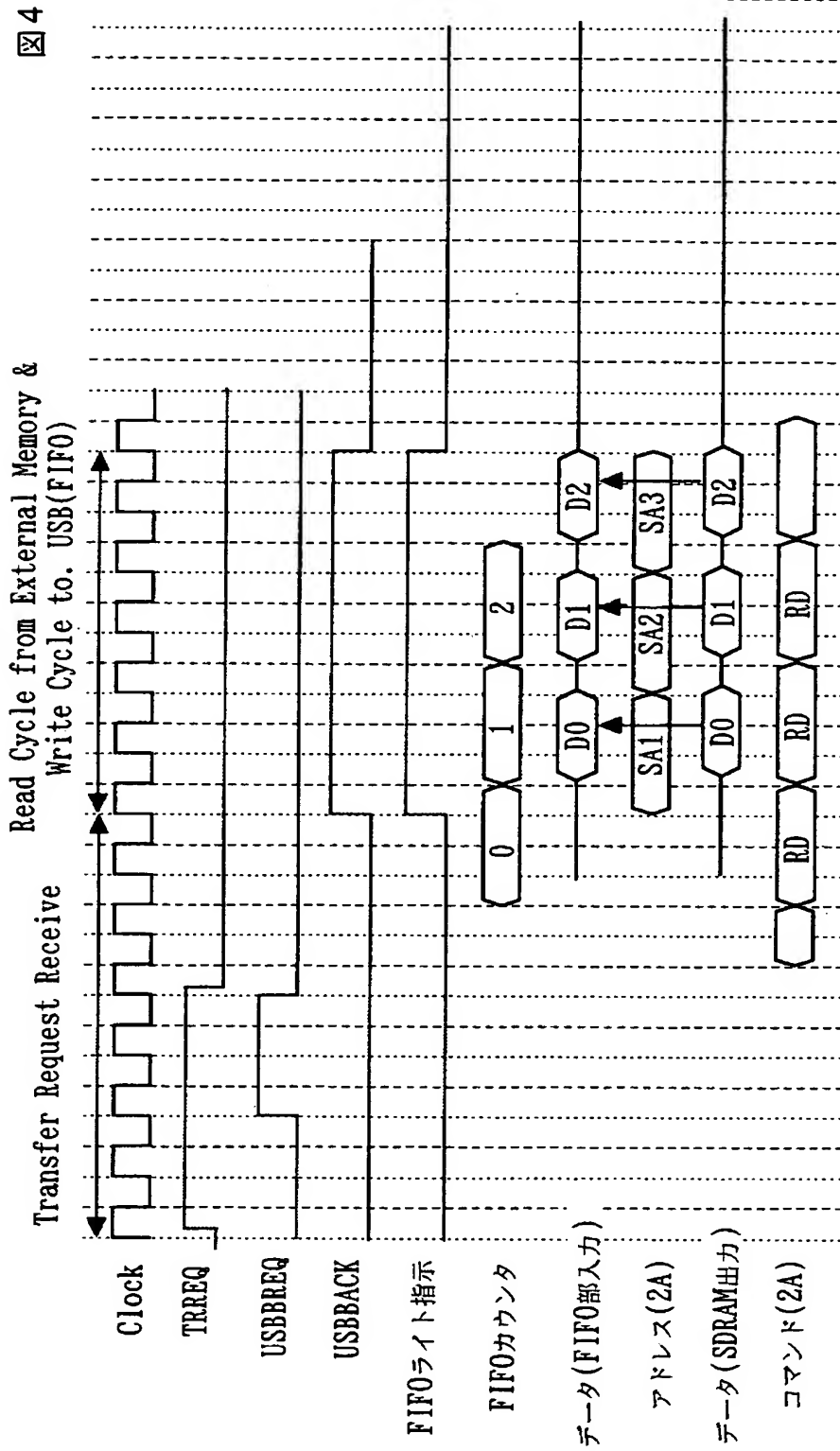
【図 2】



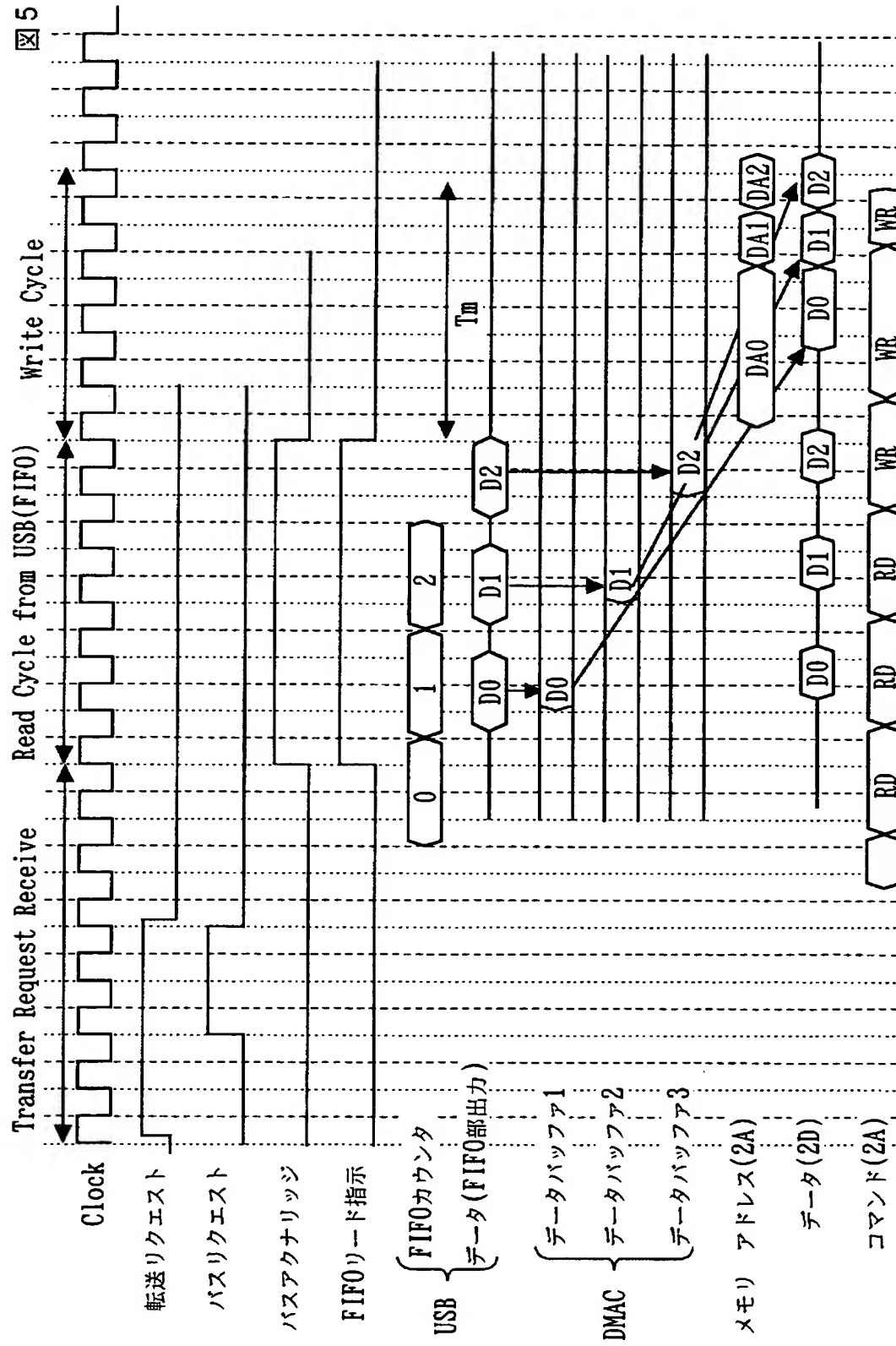
【図 3】



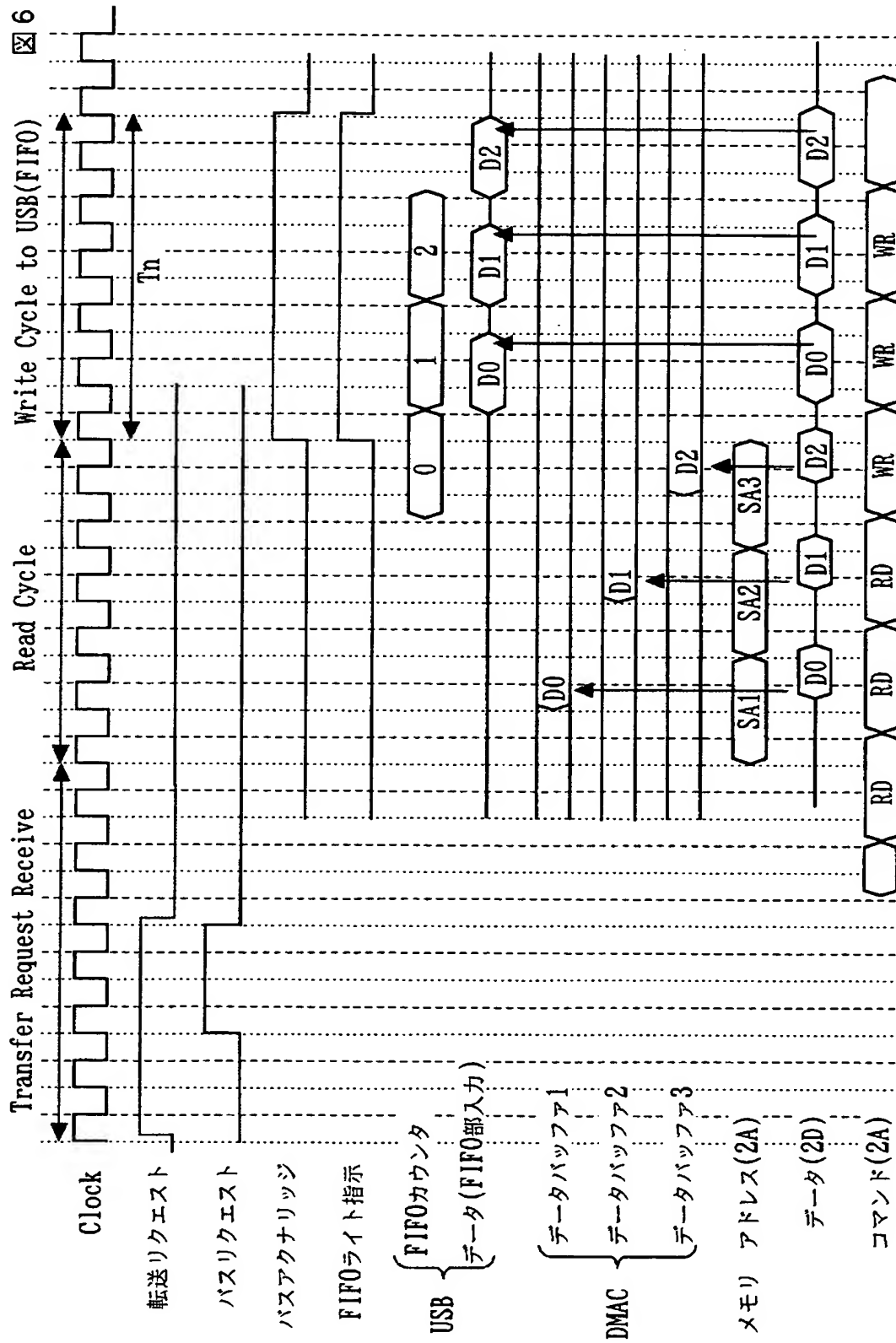
【図 4】



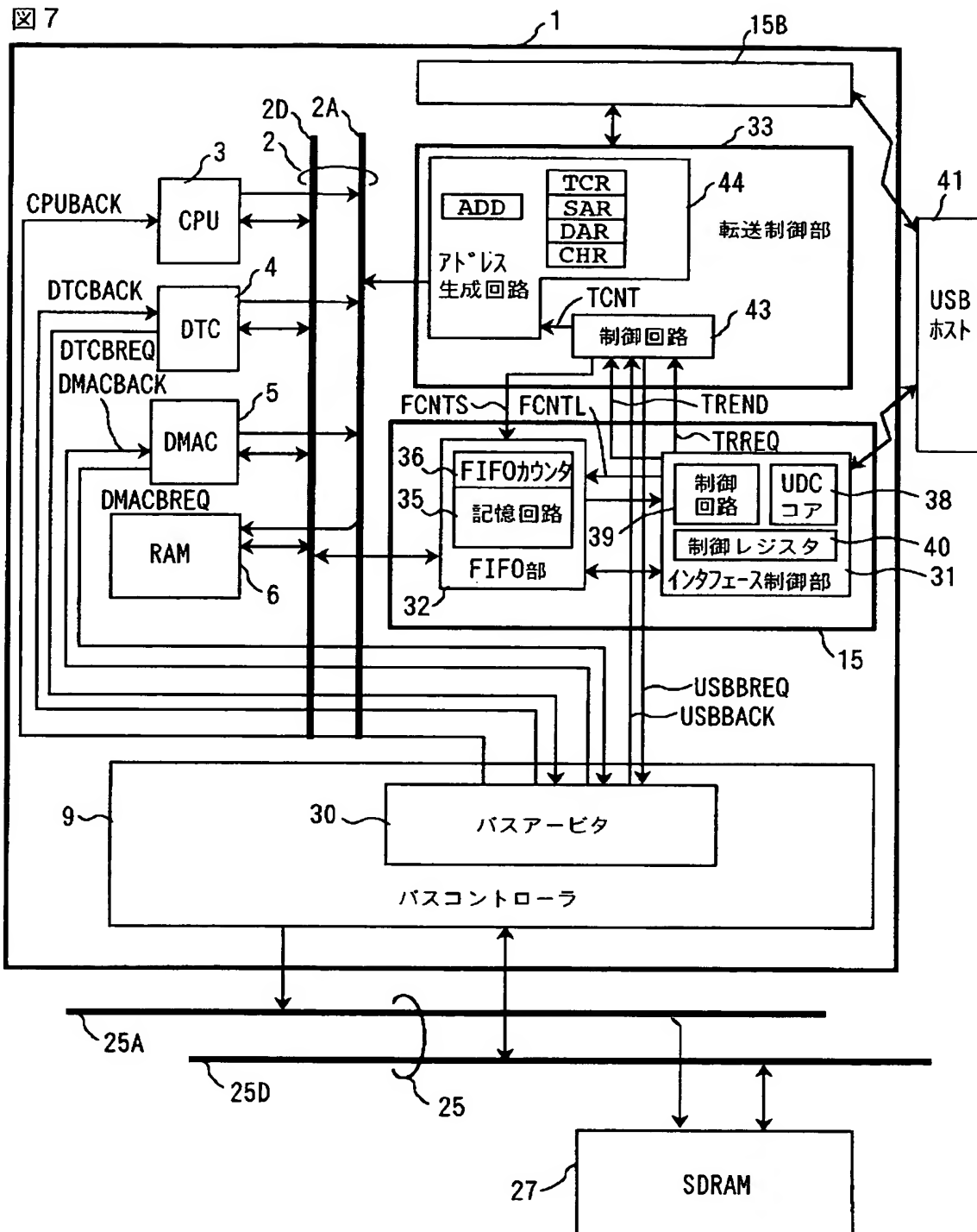
【図5】



【図 6】

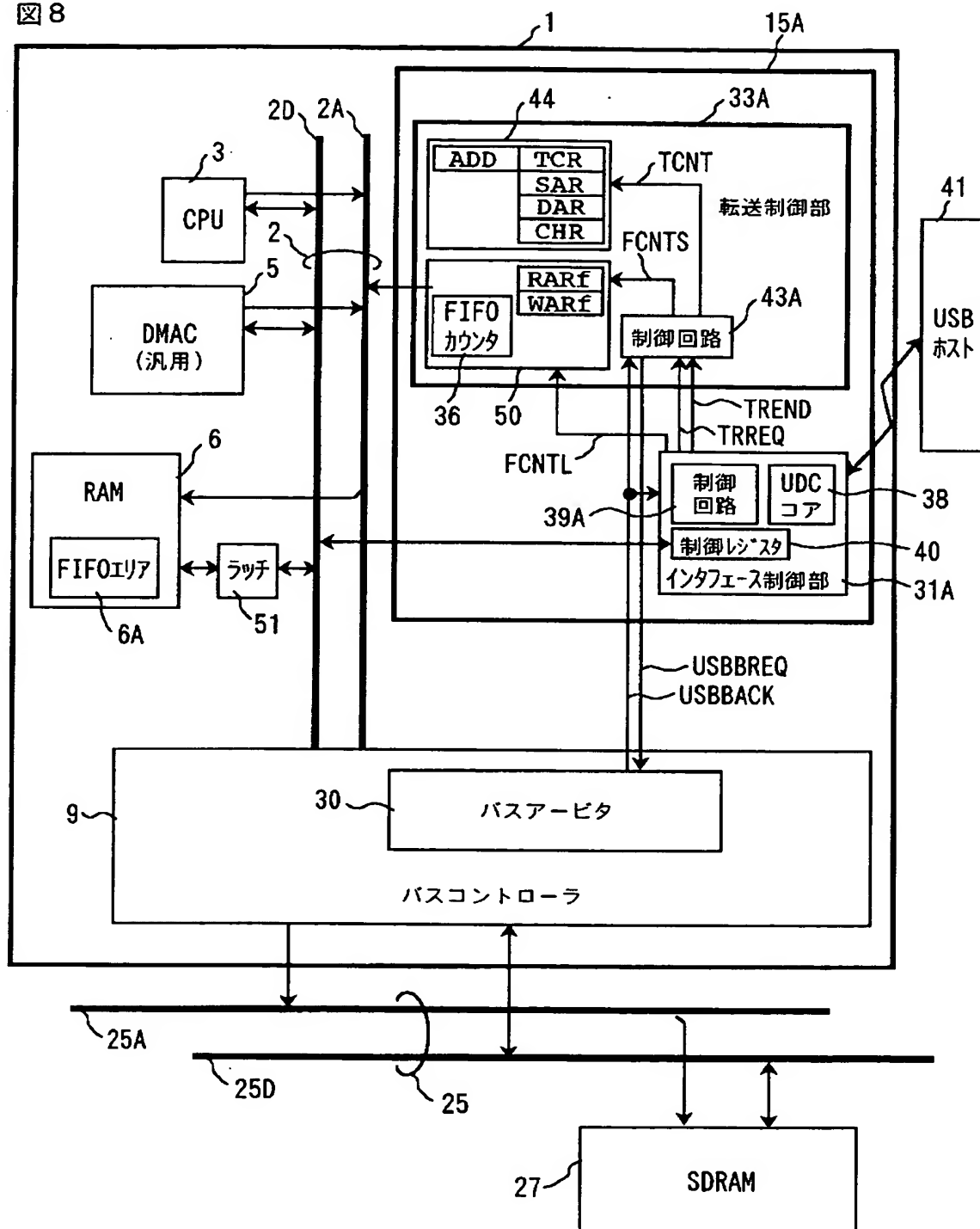


【図 7】

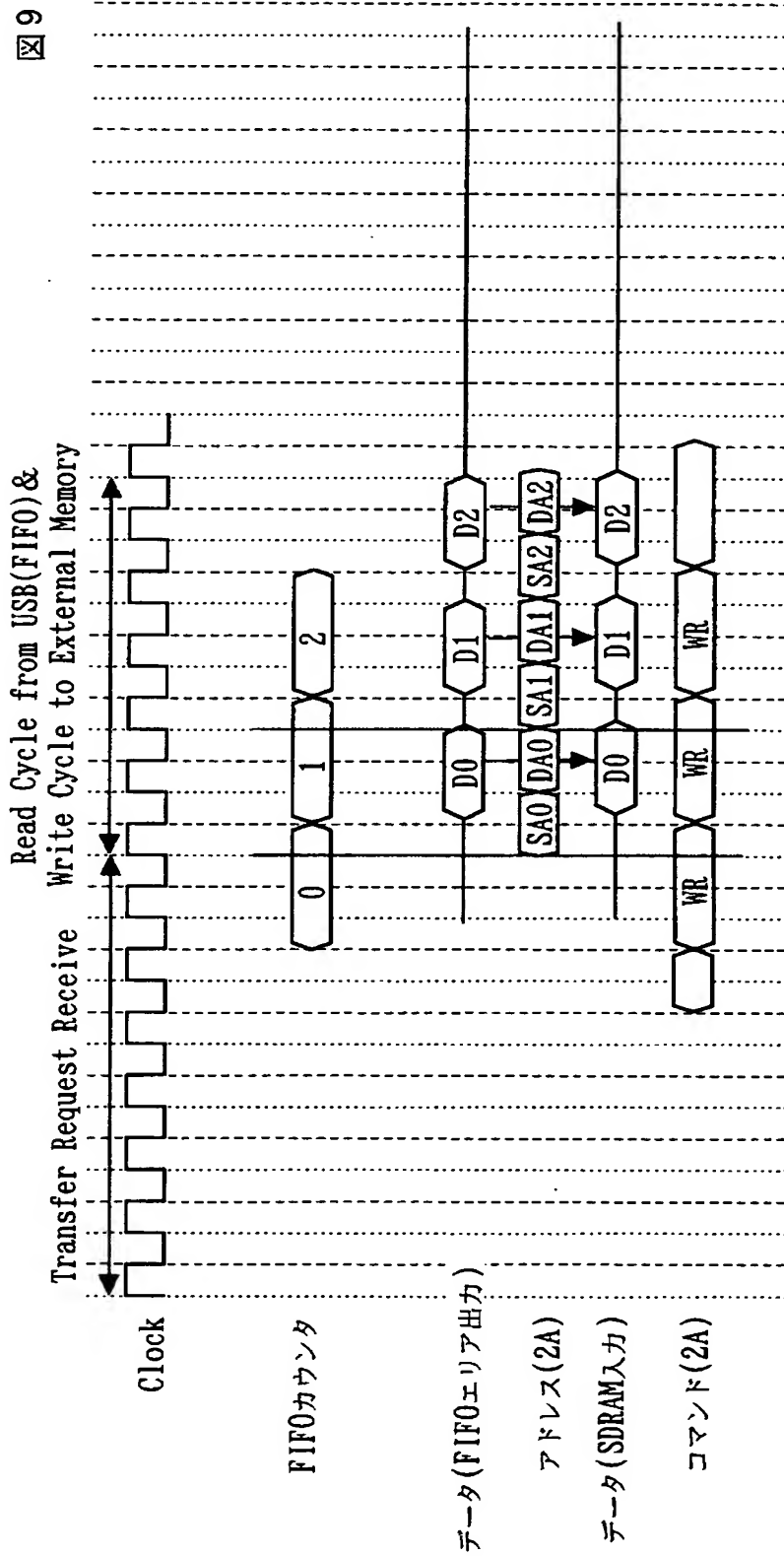


【図8】

図8



【図 9】



【書類名】 要約書

【要約】

【課題】 オンチップのインタフェースコントローラと外部との間のデータ転送時間を短縮する。

【解決手段】 半導体データ処理装置は、半導体チップに、中央処理装置（３）と、インタフェースコントローラ（１５）と、バスコントローラ（９）とを有する。インタフェースコントローラは、インタフェース制御部（３１）、ＦＩＦＯ部（３２、及び転送制御部（３３）を有する。インタフェース制御部は、ＦＩＦＯ部のデータを前記半導体チップの外部に出力し、前記半導体チップの外部から入力したデータをＦＩＦＯ部に入力する。転送制御部は、ＦＩＦＯ部が保有するデータを転送先アドレスを指定して転送する制御と、転送元アドレスを指定してＦＩＦＯ部にデータを入力する制御とを行なう。前記転送制御部による転送制御には前記データ転送制御装置による制御は介在されない。

【選択図】 図１

【書類名】 出願人名義変更届（一般承継）

【あて先】 特許庁長官 殿

【事件の表示】

【出願番号】 特願2002-276564

【承継人】

【識別番号】 503121103

【氏名又は名称】 株式会社ルネサステクノロジ

【承継人代理人】

【識別番号】 100089071

【弁理士】

【氏名又は名称】 玉村 静世

【提出物件の目録】

【包括委任状番号】 0308734

【物件名】 承継人であることを証明する登記簿謄本 1

【援用の表示】 特許第 3 1 5 4 5 4 2 号 平成 1 5 年 4 月 1 1 日付け
提出の会社分割による特許権移転登録申請書 を援用
する

【物件名】 権利の承継を証明する承継証明書 1

【援用の表示】 特願平 2 - 3 2 1 6 4 9 号 同日提出の出願人
名義変更届（一般承継）を援用する

【プルーフの要否】 要

認定・付加情報

特許出願の番号	特願 2 0 0 2 - 2 7 6 5 6 4
受付番号	5 0 3 0 1 2 1 0 7 6 9
書類名	出願人名義変更届（一般承継）
担当官	末武 実 1 9 1 2
作成日	平成 1 5 年 1 0 月 7 日

< 認定情報・付加情報 >

【提出日】 平成15年 7月23日



特願 2 0 0 2 - 2 7 6 5 6 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 0 0 5 1 0 8]

1. 変更年月日

1 9 9 0 年 8 月 3 1 日

[変更理由]

新規登録

住 所

東京都千代田区神田駿河台 4 丁目 6 番地

氏 名

株式会社日立製作所

特願 2 0 0 2 - 2 7 6 5 6 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 5 9 4]

1. 変更年月日 1 9 9 0 年 8 月 3 1 日
[変更理由] 新規登録
住 所 北海道亀田郡七飯町字中島 1 4 5 番地
氏 名 日立北海セミコンダクタ株式会社
2. 変更年月日 2 0 0 2 年 1 1 月 1 5 日
[変更理由] 名称変更
住所変更
住 所 北海道千歳市泉沢 1 0 0 7 番地 3 9
氏 名 株式会社北日本セミコンダクタテクノロジーズ
3. 変更年月日 2 0 0 3 年 4 月 1 1 日
[変更理由] 名称変更
住 所 北海道千歳市泉沢 1 0 0 7 番地 3 9
氏 名 株式会社ルネサス北日本セミコンダクタ

特願 2 0 0 2 - 2 7 6 5 6 4

出 願 人 履 歴 情 報

識別番号

[0 0 0 2 3 3 0 8 8]

1. 変更年月日

1 9 9 0 年 8 月 3 0 日

[変更理由]

新規登録

住 所

千葉県茂原市早野 3 6 8 1 番地

氏 名

日立デバイスエンジニアリング株式会社

特願 2 0 0 2 - 2 7 6 5 6 4

出 願 人 履 歴 情 報

識別番号

[5 0 3 1 2 1 1 0 3]

1. 変更年月日

2 0 0 3 年 4 月 1 日

[変更理由]

新規登録

住 所

東京都千代田区丸の内二丁目 4 番 1 号

氏 名

株式会社ルネサステクノロジ